**Образец листа задания**

Министерство образования Республики Беларусь Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы цифровых устройств

УТВЕРЖДАЮ

Заведующий кафедрой ЭВМ

Б. В. Никульшин

« » 20 г.

ЗАДАНИЕ

по курсовой работе студента Фамилия Имя Отчество

1. Тема работы: «Проектирование и логический синтез сумматора- умножителя двоично-десятичных чисел»
2. Срок сдачи студентом законченной работы: до 20 мая 2023 г.
3. Исходные данные к работе:
   1. исходные сомножители: Мн = 15,55; Мт = – 45,35;
   2. алгоритм умножения: А;
   3. метод умножения: умножение закодированного двоично-четверичного множимого на два разряда двоичного множителя одновременно в прямых кодах;
   4. коды четверичных цифр множимого для перехода к двоично- четверичной системе кодирования: 04 – 00, 14 – 11, 24 – 10, 34 – 01;
   5. тип синтезируемого умножителя: 1;
   6. тип синтезируемого умножителя: 1;
   7. логический базис для реализации ОЧС: И, ИЛИ, НЕ; метод минимизации – карты Карно – Вейча;
   8. логический базис для реализации ОЧУ: И–НЕ; метод минимизации – алгоритм Рота.
   9. Содержание пояснительной записки (перечень подлежащих разработке вопросов):

Введение. 1. Разработка алгоритма умножения. 2. Разработка структурной схемы сумматора-умножителя. 3. Разработка функциональных схем основных узлов сумматора-умножителя. 4. Синтез комбинационных схем устройств на основе мультиплексоров. 5. Оценка результатов разработки. Заключение. Список литературы.

* 1. Перечень графического материала:
     1. Сумматор-умножитель первого типа. Схема электрическая структурная.
     2. Одноразрядный четверичный сумматор. Схема электрическая функциональная.
     3. Одноразрядный четверичный умножитель. Схема электрическая функциональная.
     4. Регистр-аккумулятор. Схема электрическая функциональная.
     5. Одноразрядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.

КАЛЕНДАРНЫЙ ПЛАН

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование этапов курсовой работы | Объём этапа,  % | Срок выполнения  этапа | Примечания |
| Разработка алгоритма умножения | 10 | 10.02–20.02 |  |
| Разработка структурной схемы  сумматора-умножителя | 10 | 21.02–09.03 | С выполнением  чертежа |
| Разработка функциональных схем  основных узлов сумматора- умножителя | 50 | 10.03–30.04 | С выполнением чертежей |
| Синтез комбинационных схем устройств на основе мультиплексоров | 10 | 01.05–15.05 | С выполнением чертежа |
| Завершение оформления пояснительной записки | 20 | 15.05–20.05 |  |

Дата выдачи задания: 10 февраля 2023 г.

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_/ Фамилия И.О. /

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ \_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Фамилия И.О / /

**Образец титульного листа**

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы цифровых устройств

К ЗАЩИТЕ ДОПУСТИТЬ

Луцик Ю. А.

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовой работе на тему

ПРОЕКТИРОВАНИЕ И ЛОГИЧЕСКИЙ СИНТЕЗ СУММАТОРА- УМНОЖИТЕЛЯ ДВОИЧНО-ЧЕТВЕРИЧНЫХ ЧИСЕЛ

БГУИР КР 1-40 02 01 XYY ПЗ

Студент

Фамилия И. О. (гр. 25050Х)

Руководитель

Фамилия И.О.

МИНСК 2023